

一种高性能盲过采样时钟数据恢复电路的实现

高 宁¹, 张长春¹, 方玉明¹, 郭宇锋¹, 刘蕾蕾^{1,2}

(1 南京邮电大学 电子科学与工程学院, 江苏 南京 210003;

2 东南大学 毫米波国家重点实验室, 江苏 南京 210096)

摘 要: 设计一种带有滤波整形电路的盲过采样时钟数据恢复电路. 该电路主要由并行过采样、同步调整、滤波整形、鉴相编码和数据选择等模块组成. 提出的滤波整形电路可以有效地改善采样数据流, 让电路拥有更高的抑制噪声和干扰的能力, 与鉴相编码电路组合工作, 可以使整个时钟数据恢复电路的误码率更低, 相位锁定时间更短. 经 FPGA 验证表明, 该时钟数据恢复(CDR)电路在数据传输率为 100 Mb/s 时, 可以正确地恢复数据, 相位锁定所需时间为 0 bit.

关键词: 盲过采样; 时钟数据恢复; 滤波整形电路; FPGA

中图分类号: TN919

文献标识码: A

文章编号: 1000—7180(2014)06—0137—04

The Implementation of a High-Performance Blind Oversampling Clock Data Recovery Circuit

GAO Ning¹, ZHANG Chang-chun¹, FANG Yu-ming¹, GUO Yu-feng¹, LIU Lei-lei^{1,2}

(1 College of Electronic Science and Engineering, Nanjing University of Posts and Telecommunication, Nanjing 210003, China;

2 National Key Laboratory of Millimeter Waves, Southeast University, Nanjing 210096, China)

Abstract: Design a blind oversampling clock and data recovery circuit with the filtering and shaping circuit. The circuit mainly contains parallel oversampling module, synchronization and adjustment module, filtering and shaping circuit, phase detector and encoding circuit, data selection module. The filtering and shaping circuit can effectively improve the mutations in the sampling data stream, so that the circuit has a higher ability to suppress noise and disturbing, combined with phase detector and encoding circuit, the clock and data recovery circuit can get a lower BER and shorter phase-locking time. The verification of FPGA shows that the clock data recovery (CDR) circuit can properly work in the data transfer rate of 100Mbps, the phase-locking time is 0 bit.

Key words: blind oversampling; clock and data recovery(CDR); filtering and shaping; FPGA

1 引言

时钟数据恢复电路在许多高速有线数据传输系统中是一个基本模块, 如光通信系统、背板数据链路和芯片到芯片互连. 时钟数据恢复电路(CDR)的重要作用是从接收到的畸变信号中提取传输的串行数据, 并恢复相关时钟的定时信息^[1]. 串行数据信号通过传输介质到达接收机时叠加了外界噪声和干扰,

接收机在从串行信号中提取数据时, 必须选择最佳的采样和判决时刻, 从而保证最小的误码率. 针对这样的情况, 时钟数据恢复电路必须具备抑制噪声、干扰的能力.

盲过采样时钟数据恢复技术的区别主要体现在数据恢复逻辑实现方式的差异上. 数据恢复逻辑主要有两种技术: 多数判决(Majority Decision Rule)^[2-6]和鉴相编码^[7-9]. 多数判决方式需要消耗一定的数据位

收稿日期: 2013—09—05; **修回日期:** 2013—10—28

基金项目: 国家自然科学基金(61076073); 中国博士后科学基金(2012M521126); 江苏省自然科学基金(BK20130878, BK2012435); 东南大学毫米波国家重点实验室开放基金(K201223); 南京邮电大学科研启动金(NY211016)

进行相位统计,以便选择正确的采样数据作为恢复数据,所需锁定时间过长.鉴相编码方式相较于多数判决,计算量相对更大一些,数字实现更加复杂,但是锁定迅速.多数判决方式要求输入数据率与本地采样频率一致才可以保证恢复数据正确,而鉴相编码方式则允许两者之间存在一定的频率偏差,所以适用范围更广.鉴相编码电路也存在一些问题,如采样数据流里面的不平滑会严重影响数据恢复.

本文在鉴相编码电路之前加入提出的滤波整形电路,通过改善采样数据流的不平滑,使数据恢复更加准确,电路拥有更好地抑制噪声和干扰的能力.

2 电路设计

如图 1 所示,盲过采样数据恢复电路主要分为接收器电路和数据恢复电路两个部分.

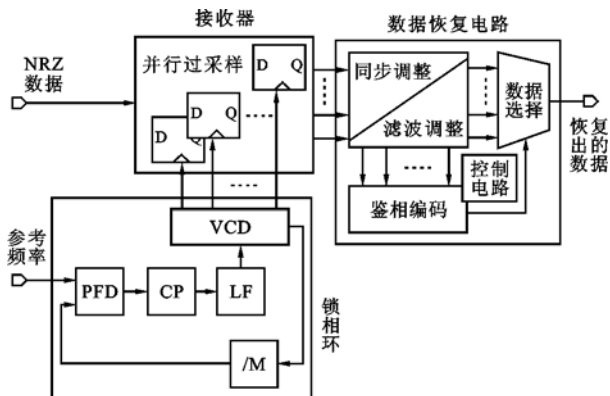


图 1 盲过采样数据恢复电路结构

对于接收器而言,由于本地时钟频率的限制,一般采用空间过采样^[4]而不用时间过采样,主要实现方法有基于锁相环^[PLL]^[1]和数据延迟链采样^[10]两种.鉴于延迟单元难以控制,本电路采用基于锁相环的方法.考虑到 FPGA 时钟速率和 PLL 资源限制,为了保证恢复时钟的质量,这里的过采样倍数 N 选择 4,并且采用双边沿采样;通过 FPGA 内部的 PLL 产生 4 个频率相同相位差 45° 的时钟,对输入数据进行过采样.这样时钟数据恢复电路的采样频率以及工作频率仅为输入数据率的一半,提高了电路工作的可靠性.

时钟数据恢复电路采用鉴相编码的方式实现数据的恢复,同时加入提出的滤波整形电路,为了配合这个滤波整形电路工作,在其前端还加入了同步调整电路.

3 主要电路模块

3.1 同步调整电路

本文同步调整电路的加入是为了通过调整,提

供后续滤波整形电路所需的处理数据.

多路平行过采样模块对输入信号 D_{in} 进行四倍过采样,多相位 VCO 提供等相差的 4 个采样时钟双边沿采样,这样每次相当于采样 2 个串行数据,产生 8 位的采样数据流 Bit1、Bit2……Bit8, PBit1、PBit2、……PBit8 表示前一采样数据流, LBit1、LBit2、……LBit8 表示下一采样数据流.经过图 2 所示调整,将 PBit4、PBit5、PBit6、PBit7、PBit8、Bit1、Bit2、Bit3、Bit4、Bit5、Bit6 组成一组数据.

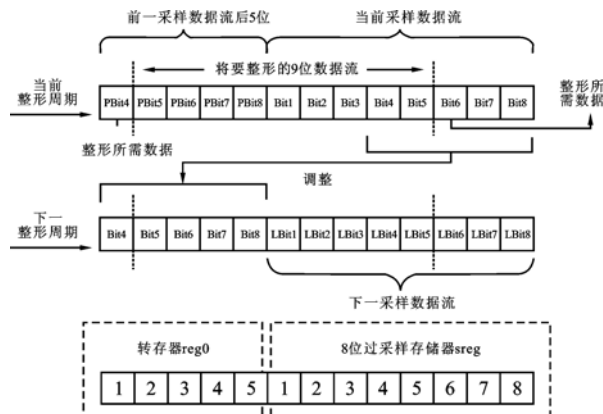


图 2 采样数据流调整图

3.2 滤波整形电路

为了消除采样数据流中的畸变数据,滤波整形电路的实现是基于数据流的一些特性;如果产生了一个畸变采样数据,那么这个采样数据必定与前后数据都相异.正是基于这种特性,就可以实现畸变采样数据的整形,恢复数据的平滑.

按图 3 所示调整,将 11 位的数据 PBit4、PBit5、PBit6、PBit7、PBit8、Bit1、Bit2、Bit3、Bit4、Bit5、Bit6 分成三组,一组进行数据前移,一组保持,一组数据后移,将三组数据分别存储,然后将所需整形的数据位上的 3 个数据相加,得到一个两位 2 进制数 $HxLx$ (x 为 1, 2, ..., 9),如果当前整形的数据为突变数据,假设为 1,那么左右数据都为 0,此时 $HxLx$ 为 01,那么 Hx 即为整形数据应该输出的数据 0.如果当前整形数据为突变数据 0,那么左右数据都为 1,此时 $HxLx$ 为 10,那么 Hx 仍为整形数据应该输出的数据 1.下面的 2/3 判决电路即为一个数据选择模块,选择将正确的数据输出到 9 位输出寄存器中,9 位输出寄存器内的数据作为滤波整形电路的输出.

通过这个电路对采样数据流的滤波整形,消除了其中的畸变采样数据,使得整个采样数据流变得更加平滑.之后,再加上边沿检测电路对整形之后的采样数据流进行跳变沿的检测,并将每位采样数据

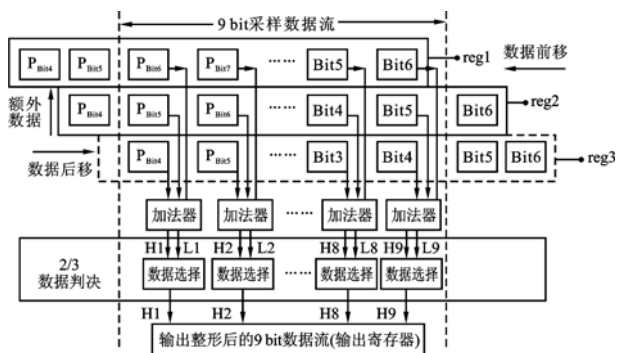


图3 滤波整形电路实现原理图

进行编码,完成对采样数据流的重定时。最终,加上数据恢复电路,根据所得编码选择合适的采样时钟作为最佳采样恢复点,进而恢复出有效数据。

3.3 鉴相编码电路

该时钟数据恢复电路采用的数据恢复方式是鉴相编码。

经过滤波整形之后的采样数据流送至鉴相编码电路,如图4所示。采样数据流先进行边沿检测(鉴相),如果采样数据4与采样数据5不同,则将采样数据5标记为1,否则标记为0,这样就完成了边沿检测(鉴相),对每个采样数据进行标记。之后,根据对采样数据的标记进行编码,当标记为1时,编码为1000,当标记为0,依次移位。当移位到0001时,如果下一个采样数据标记为1时,编码为1000,如果下一个采样数据依旧标记为0时,则继续移位为1000。在数据选择阶段,统一选择把编码为0100的采样数据输出作为恢复数据。

输入数据	1	0	1	0	0
滤波后的采样数据	1 1 1 1	0 0 0	1 1 1 1	0 0 0 0	0 0 0 0
边沿检测(鉴相)	1 0 0 0	1 0 0	1 0 0 0	0 1 0 0	0 0 0 0
采样数据编码	1 0 0 0 1 0 1 0 0 0 0 0 0 1 0 0 0 0 0 1	1 0 0 0 1 0 1 0 0 0 0 0 0 1 0 0 0 0 0 1	1 0 0 0 1 0 1 0 0 0 0 0 0 1 0 0 0 0 0 1	1 0 0 0 1 0 1 0 0 0 0 0 0 1 0 0 0 0 0 1	1 0 0 0 1 0 1 0 0 0 0 0 0 1 0 0 0 0 0 1
数据选择	1	0	1	0	0
最终恢复出的数据	1	0	1	0	0

图4 鉴相编码原理

实际操作中,1000为 $2'b00$,0100为 $2'b01$,0010为 $2'b10$,0001为 $2'b11$,0001即 $2'b11$ 移位结果就为1000,也即 $2'b00$ 。

当输入数据由于频率抖动或者噪声叠加,使得某些输入数据只完成3倍过采样,而有些是5倍过采样,从图4中可以看出,这种编码方式在许多不理想的情况下,但依旧可以正确的恢复出数据。

4 滤波整形的必要性

鉴相编码电路是很好的数据恢复方法,但是光靠这个逻辑方式还是无法可靠地恢复数据,滤波整形电路就是对其很好的补充。

从图5可以看到,当输入数据由于噪声的叠加,信号发生严重畸变时,如果采样数据流未经整形,在数据恢复的时候,由于一些错误采样数据会导致鉴相编码电路产生错误判断,数据恢复结果严重错误。当加入滤波整形电路之后,数据恢复结果则完全正确。

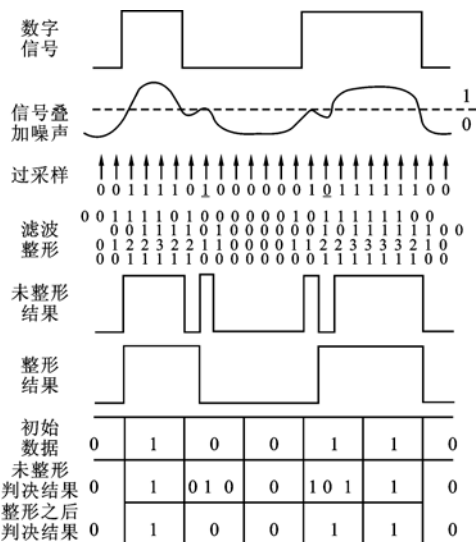


图5 数据恢复比较

5 仿真结果

本文将采用伪随机序列对盲过采样时钟数据恢复电路进行测试,这里的伪随机序列由线性反馈移位寄存器(Linear Feedback Shift Registers, LFSR)结构实现。伪随机序列仿真结果如图6所示。

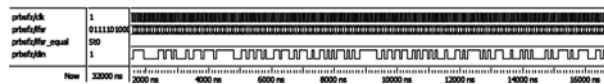


图6 伪随机序列仿真结果

在图7中,向输入信号中加入了畸变,主要畸变采样数据类型是1111 1000、0000 0100、1111 1011、1111 0100,从仿真结果可以看到,依旧可以正确恢复。

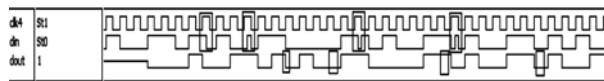


图7 滤波整形效果仿真

用伪随机序列对盲过采样时钟数据恢复电路进行,结果完全正确。通过对电路的误码率测试(如图

8 所示),当频率偏差为 6.001×10^{-3} 时,总的传输数据比特数为 4×10^{11} bit,误码率为 1.27×10^{-10} .

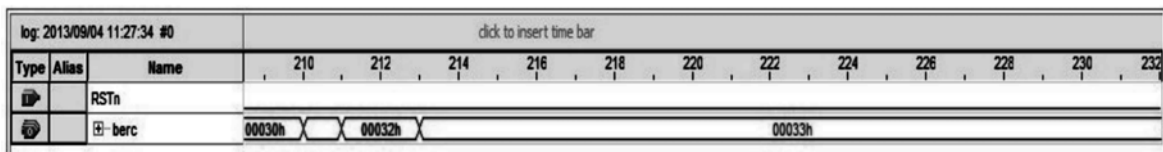


图 8 误码率测试结果

经过上述仿真,盲过采样时钟数据恢复电路功能完备,性能可靠.将电路在 Altera 公司的 FPGA 内用逻辑分析仪^[11]进行验证,当输入信号的数据率

达到 100 Mb/s 时,数据恢复完全正确(如图 9 所示).表 1 中罗列了盲过采样时钟数据恢复电路在 FPGA 内部的资源占用情况.

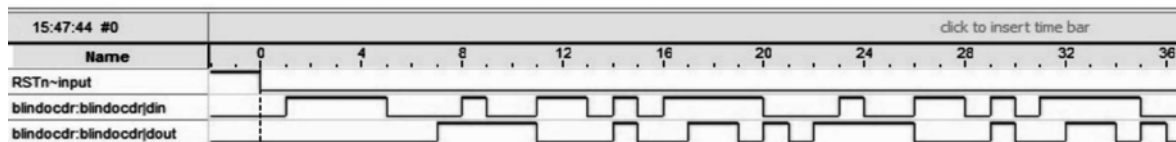


图 9 FPGA 验证结果

表 1 FPGA 内资源占用情况

FPGA 资源	使用	总数	占比
逻辑单元	599	15 408	4%
专用逻辑寄存器	452	15 408	3%
总内存位	12 288	516 096	2%
锁相环(PLL)	1	4	25%

6 结束语

本文设计的盲过采样时钟数据恢复电路带有专门的滤波整形电路,再配合前后的电路,改进了鉴相编码电路的不足.这样的时钟数据恢复具有更广的适用范围,对于连续字有很高的容忍度,能够很快地锁定并恢复出数据,具有很高的抗噪性能,大大降低数据恢复的误码率(BER),完成突发模式下的数据恢复.在 FPGA 验证中可以看到,电路资源占用很少,相位锁定所需时间为 0 bit.

参考文献:

[1] Ming ta Hsieh, Gerald E. Sobelman. Architectures for multi-gigabit wire-linked clock and data recovery [J]. IEEE Circuits And Systems Magazine, 2008, 8 (4): 45-57.

[2] Henning Braunisch, Raj Nair. On the techniques of clock extraction and oversampling[J], Hot Interconnects 9, 2001:139-143.

[3] Jaeha Kim, Deog-Kyoon Jeong. Multi gigabit rate clock and data recovery based on blind oversampling [J]. IEEE Communications Magazine, 2003, 41 (12):

68-74.

[4] 尹勇生,胡永华,高明伦. 过采样技术 CDR 分析及应用[J]. 应用科学学报, 2006, 24(3):240-244.

[5] 李嘉洁,陈非凡. 基于加权表决的 POF 信号时钟数据恢复方法[J]. 光通信技术, 2012, 14(2):47-50.

[6] 韩刚,谭顺乐. BLVDS 总线控制系统中 CDR 及 Ser-Des 电路的设计与实现[J]. 微电机, 2012, 45(4): 67-69.

[7] Sanad Bushnaq, Toru Nakura, Makoto Ikeda. All digital baseband 50 mbps data recovery using 5x oversampling with 0.9 data unit interval clock jitter tolerance [C]// Proceedings of the 12th International Symposium on Design and Diagnostics of Electronic Circuits & Systems. Liberec: IEEE, 2009:206-209.

[8] 王宇磊. 基于 FPGA 的光接收机数据恢复电路的设计与实现[D]. 成都:电子科技大学, 2008.

[9] 李浩亮. 基于 USB2.0 的高速串行通信接口电路设计技术研究[D]. 杭州:浙江大学, 2005.

[10] 谢明璞,武杰,张杰. 利用 FPGA 延时链实现鉴相器时钟数据恢复[J]. 核技术, 2009, 32(6):477-480.

[11] 陈新华,范伟琳,王成义,等. 基于 FPGA 芯片和 EDA 技术的逻辑分析仪系统设计[J]. 微电子学与计算机, 2004, 21(7):177-180.

作者简介:

高宁 男, (1989-), 硕士研究生. 研究方向为数字及数模混合电路设计.

张长春 男, (1981-), 讲师, 硕士生导师. 研究方向为超高速、射频及模数混合集成电路设计.